

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑦

⑫ 公開特許公報(A)

平4-207544

⑮ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月29日

H 04 L 12/48

7830-5K H 04 L 11/20
8732-5K 11/12Z
※

審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 A T M交換機の折り返し試験方式

⑯ 特 願 平2-336400

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 相 原 直 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 三 宅 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑳ 発 明 者 吉 村 修 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉒ 出 願 人 富士通九州通信システム株式会社 福岡県福岡市博多区博多駅前1丁目4番4号

㉓ 代 理 人 弁理士 穂坂 和雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

A T M交換機の折り返し試験方式

2. 特許請求の範囲

(1) A T M交換機の折り返し試験方式において、

回線インタフェース部に下りハイウェイ上のセルの中から指定されたV P I / V C I 値を持つセルを上りハイウェイに折り返す折り返し手段を設け、

指定されたV P I / V C I 値を持つテストセルをテストセル発生手段から発生して下りハイウェイへ向けて送出すると共に、前記回線インタフェース部の折り返し手段により折り返されたテストセルを受信する試験部を備え、

前記試験部は送出したセルと受信したセルに基づいてスイッチ部の機能の評価することとを特徴とするA T M交換機の折り返し試験方式。

(2) 回線インタフェース部とスイッチ部の間に流

入するセルが加入者から申告された帯域内にあるよう監視制御するポリス機構を備えたA T M交換機の折り返し試験方式において、

回線インタフェース部に、下りハイウェイ上のセルの中から指定されたV P I / V C I 値を持つセルを上りハイウェイに折り返す折り返し手段を設け、

指定されたV P I / V C I 値及び帯域を持つテストセルを発生して下りハイウェイへ向けて送出するテストセル発生手段を備え、

前記回線インタフェース部から折り返されたテストセルが通過する時前記ポリス機構が帯域に応じた正常な処理を行うか否かを監視することによりポリス機構の正常性が確認できることを特徴とするA T M交換機の折り返し試験方式。

(3) 請求項(1)において、

試験部から送出したテストセルを第1の回線インタフェース部で折り返して指定したパスを介して第2の回線インタフェース部に出力し、該第2の回線インタフェース部において更に折り返した

後セルを試験部に戻す被測定パスを形成し、

前記試験部は送出したセルと受信したセルに基づいてスイッチ内の特定パスの伝送品質を測定することを特徴とするATM交換機の折り返し試験方式。

3. 発明の詳細な説明

〔概要〕

ATM交換機の折り返し試験方式に関し、

ATM交換機のスイッチ機能、ポリス機能及び交換機における伝送品質を試験測定することが可能なATM交換機の折り返し試験方式を提供することを目的とし、

回線インタフェース部に下りハイウェイ上のセルの中から指定されたVPI/VCI値を持つセルを上りハイウェイに折り返す折り返し手段を設け、指定されたVPI/VCI値を持つテストセルをテストセル発生手段から発生して下りハイウェイへ向けて送出すると共に、前記回線インタフェース部の折り返し手段により折り返されたテス

セル（バーチャルパス・バーチャルチャネル）等の制御情報が設定されたヘッダ（5バイト）が付加される。このようなセルが回線インタフェースからATMスイッチで交換されて宛先に出力される。

また、ATM交換機では交換機能を有効に利用するために予め加入者からの発呼要求を受付ける時に、加入者が利用する通信の使用帯域（セルの発生速度）等を申告させて、交換機において処理可能な場合に通信を許可する方式を採用することが考えられている。これにより、セルの廃棄や遅延を最小限とすることができる。この申告された値を監視するためポリス機構という名称の装置が用いられ、申告された帯域を越えるセルを発生する場合は、ATMスイッチに過大な負荷がかかるのを防ぐためセル廃棄等の処理を行う。

従来の電子交換機では、物理的に回線を折り返し接続することにより各種の試験が行われていた。ところが、ATM交換機はセル単位で伝送と交換が行われ、音声等の低速なセルと動画のような高

速なセルを受信する試験部を備え、試験部は送出したセルと受信したセルに基づいてスイッチ部の機能の評価を行う構成とする。

〔産業上の利用分野〕

本発明はATM交換機の折り返し試験方式に関する。

近年、B-ISDN (Broadband ISDN) に使用するATM (Asynchronous Transfer Mode) 交換機の研究開発が盛んに進められている。このATM交換機ではセル形式の単位で極めて高速な交換が行われる。一方、ATM交換機では、他の交換機と同様に交換機が正常に動作しているかを試験、監視できることが望まれている。

〔従来の技術〕

従来のATM交換機は、加入者回線が収容された回線インタフェースにおいて、加入者から送られたデータをセル化する。セルには、所定長（48バイト）の情報に、宛先に対応してVPI/V

CI (バーチャルパス・バーチャルチャネル) 等の制御情報が設定されたヘッダ（5バイト）が付加される。このようなセルが回線インタフェースからATMスイッチで交換されて宛先に出力される。

〔発明が解決しようとする課題〕

ATM交換機では上記したように、セル単位で実行されるATMスイッチが正常に動作しなければならない。ところが、従来の技術では、ATMスイッチが正常に動作しているか確認したり、障害が発生した時にどの部分が異常であるかを検出するための折り返し試験をオンラインで実行することができないという問題があった。

また、加入者が発呼時に申告した通信帯域等の伝送量を監視するポリス機構が正常な監視機能を備えているかをチェックする方法がないという問題があった。

本発明はATM交換機のスイッチ機能、ポリス機能及び交換機における伝送品質を試験測定することが可能なATM交換機の折り返し試験方式を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の基本構成図である。

第1図にはA、～C、の3つの基本構成が示され、図において1はATMスイッチ(ATM-SW)、2は制御部、3、7はそれぞれ加入者線と接続された回線インタフェース部、30は折り返し手段、4、8はVPI/VCIコンバータ(VCC)、5は試験部(TE)、50はテストセル発生手段、51は評価手段、6はポリス機構を表す。

本発明はATM交換機の回線インタフェース部に特定セルを選択的に下りハイウェイから上りハイウェイへ折り返す手段を設け、試験部から下りハイウェイに特定セルを供給して回線インタフェース部で折り返されたテストセルを試験部で受け取ることにより試験を行い、さらにポリス機構における監視機能を試験部から送出したテストセルを用いて試験するものである。

〔作用〕

前記テストセルは試験部5に入力され評価手段51において評価される。

次に第1図B、に示す構成の場合、ポリス機構6は、予め加入者から申告された通信帯域(通信量)に対して実際に加入者から発生したセルの通信量が適性な範囲か否かを監視する機能を持ち、申告値の帯域(セル量)を越えるとそのセルを廃棄または優先制御(優先するセルだけ通過させる制御)を行う。

このポリス機構6が正常に動作するかを試験する場合、制御部から回線インタフェース部3に折り返しを行うべきセルのVPI/VCI値を指定し、ポリス機構6に対しても同じVPI/VCI値を監視対象として指定すると共に、申告値の帯域(試験用の帯域)を指定する。

試験部5から該回線インタフェース部3に宛てた前記VPI/VCI値を持つテストセルを発生すると、ATMスイッチ1の下りハイウェイから回線インタフェース部3に入力すると、折り返し手段30でそのテストセルは上りハイウェイに折

第1図のA、に示す構成の場合、制御部2から試験部5に或る回線インタフェース部3に向けた特定VPI/VCIを持つテストセルを発生するよう指示すると共に、回線インタフェース部3に対し前記特定VPI/VCIを持つセルを折り返す指示を与える。試験部5はこれに応じて特定VPI/VCIを持つテストセルをテストセル発生手段50から発生してATMスイッチ1に入力する。ATMスイッチ1のスイッチ動作により回線インタフェース部3にテストセルが下りハイウェイ(ATMスイッチ1から回線インタフェース部1へ向かうハイウェイ)を介して回線インタフェース部3に入力する。

回線インタフェース部3の折り返し手段30は前記特定VPI/VCIを持つセルが入力すると、そのセルを取り出して上りハイウェイ(ATMスイッチ1へ向かうハイウェイ)に折り返す。折り返されたセルはVCC4において試験部5に向かうようVPI/VCI変換されてATMスイッチ1に入力する。ATMスイッチ1から出力された

返される。

このテストセルはポリス機構に入力して、セル量が監視されてその帯域が予め指定された帯域内か否かの判断が行われ、帯域を越えると制御部に通知を行う。試験部5から送出するセルの発生量、ポリス機構6に指示される申告値等を変化させることによりポリス機構6の機能が正常か否かを試験することができる。この場合、ポリス機構6に入力したテストセルは試験部5に送る必要がないが、そのまま出力しても良い。

次に第1図のC、に示す構成の場合、ATMスイッチ1内の2つの回線インタフェース部3と回線インタフェース部7間のパスの伝送品質を測定するための折り返しを示す。この場合、回線インタフェース部3と7にそれぞれ特定VPI/VCIを持つセルを折り返すよう指示し、試験部5から一方の回線インタフェース部3に宛ててテストセルを送出する。

するとそのテストセルはATMスイッチ1を通過して回線インタフェース部3に入力され、ここで

折り返されたテストセルは、VCC4において回線インタフェース部7に宛てたVPI/VCI値に変換されてATMスイッチに供給される。このテストセルは更に回線インタフェース部7において折り返され、VCC8において試験部5に向けてVPI/VCI値が変換されてATMスイッチ1に入力する。

こうして、試験部5から送出されたテストセルは2つの回線インタフェース部3、7を介して再び試験部に戻ってくるので、戻ってきたテストセルを評価することにより対象となるバスの誤り率等の品質が測定される。

[実施例]

第2図は実施例のシステム構成図、第3図は回線インタフェース部の構成図、第4図は折り返し回路の構成図、第5図は試験部の構成図、第6図はボリス機構の構成図である。

第2図において、1、3～6は第1図と同じ装置を表し、1はATMスイッチ(ATM-SW)。

持つセルをドロップ34において抽出して、折り返し経路36に取り出し、上りハイウェイに設けたインサータ35に入力する構成を備えている。この折り返し制御は第2図に示すCPR21からCPIF20を介して供給される制御信号により行われる。

次に試験部5の構成を第5図を用いて説明する。第5図において、58、59はATMスイッチに対しテストセルを出力するハイウェイ及びATMスイッチから入力するハイウェイに接続するスイッチインタフェース(SWIF)、52は遅延回路(Delay)、53はセル化回路(CEL)、54は送受セル比較回路(CMP)、55はパターン発生回路(PG)、56は試験部の各部の動作を制御する制御部(CNT)、57は発振回路(OSC)である。

制御部56はCPIF(第2図のCPRインタフェース部)20に接続され、CPR21から制御されて試験を実行して結果をCPR21に送出する。テストセルを送出する場合、制御部5

3は回線インタフェース部、4はVPI/VCI変換部(VCC)、5は試験部、6はボリス機構であり、20、21は第1図の制御部に対応し、20はCPRインタフェース部(CPIF)、21は呼処理プロセッサ(CPR)、9は加入者端末、10は多重・分配部(MDX)である。

第2図には、ATMスイッチ1と試験部5、ATMスイッチ1と多重・分配部10及び回線インタフェース部3の間が1本の線しか示されないが実態は、上りハイウェイと下りハイウェイの線路が設けられ、双方向の信号が伝送されている。

第3図により回線インタフェース部3の構成を説明すると、30は光ファイバで構成する加入者線と接続する光・電気変換回路(O/E)、31は電気レベルの制御を行う物理レイヤ終端回路、32はセルの作成、分解の制御を行うATMレイヤ終端回路、33は折り返し回路である。

第3図の折り返し回路33の内部は第4図に示されている。折り返し回路は、ATMスイッチからの下りハイウェイ上の特定のVPI/VCIを

6からの制御によりパターン発生回路55からパターンが発生すると、セル化回路53において所定のフォーマット(指定されたVPI/VCI値のヘッダを持ち、パターン発生回路55からのデータが所定バイト数とで構成)に従ったテストセルを発生し、スイッチインタフェース58からATMスイッチに出力される。

ATMスイッチから入力するテストセルは比較回路54に入力され、遅延回路52から設定された遅延時間(ATMスイッチや回線インタフェースを伝送するのに要する時間)後に入力する送信セルと比較回路54において比較されて、その比較結果(一致および不一致信号)が制御部56に入力する。制御部56は送出した各セルについて一致数(または不一致)を計数することにより、誤り率等の伝送品質を表すデータを得てCPR21に出力する。

また、遅延回路52の遅延時間を制御して試験を行うことにより伝送路の遅延特性等を検出する。

次にボリス機構6の構成を第6図に示す。

第6図において、60は通過セルのVPI/VC I値を解釈して対応するカウンタをカウントアップするためのデコーダ(DEC)、61は各VPI/VC I値に対応して設けられたカウンタ(CT)、62は通過セルのVPI/VC Iを保持するラッチ回路(LATCH)、63は各VPI/VC I値に対応した申告帯域(最高セル流入量)を保持し、ラッチ回路62に保持されたVPI/VC I値に対応する申告帯域が読み出されるラムテーブル(RAM TABLE)、64は現在の通過セル量と申告帯域に対応する最大セル量を比較する比較器(CMP)、65は比較器64において申告帯域(対応する最大セル量)と流入するセル量を比べて流入するセル量の方が少ない時入力セルを選択し、流入するセル量が申告帯域を超えた時空きセルを選択して出力するセレクト(SEL)である。

第2図乃至第5図の構成により回線インタフェース部3(以下、被試験回線インタフェースという)の機能試験を説明すると、試験開始時にCP

この回線インタフェース部3のVCC4では、CPR21により指定された試験部5宛のVPI/VC I値に変換されMDX10を介してATMスイッチ1に入力して発生元の試験部5に戻される。試験部5(第5図)における試験結果はCPR1F20を経由してCPR21に通知される。

次に、この折り返し方式を用いたポリス機構の試験の動作を第2図及び第6図を参照しながら説明する。

この試験におけるシーケンスは上記の回線インタフェース部の試験と同様であるが、試験に際して被試験回線インタフェース部3のポリス機構に対して、テストセルのVPI/VC I値に対する許容帯域を指示し、また試験部5に対しては送出するテストセルの帯域を指定する。被試験回線インタフェース部のポリス機構(第6図)では指示されたテストセルの許容帯域に対応する最高セル量がラムテーブル63から取り出され比較器64に供給される。比較器64はカウンタ61から出力されるテストセルの流入量とラムテーブル63

R21(第2図)は試験部(TE)5に対してCPR1F20経由で被試験回線インタフェース部3へのテストセルに付与すべきVPI/VC I値を指示する。この時CPR21は被試験回線インタフェース部3に対しても折り返すべきセルのVPI/VC I値をCPR1F20経由で通知し、かつこの回線インタフェース部3に対応するVCC4に対しても、折り返されてきたテストセルを試験部5へ戻すためのVPI/VC I変換値を指定する。

その後の試験起動に応じて試験部(TE)5はテストセルの送出を第5図に示す回路により開始する。送出されたテストセルはヘッダに保持するVPI/VC I値に従ってATMスイッチ1内をスイッチングされて被試験回線インタフェース部3へ到達する。

被試験回線インタフェース部3の折り返し回路(第4図)では、テストセルはCPR21から指定された折り返しセルのVPI/VC I値と一致するため、ここでそのまま折り返される。その後

からのセル量を比較して、通過したテストセルが予め指示した帯域を超過した時はCPR1F20を介してCPR21に通知を行う。

このようにして、被試験回線インタフェース部3のポリス機構へ指示するテストセルの帯域、試験部5へ指示する送出テストセルの帯域を種々組み合わせ、それぞれの指示に対する被試験回線インタフェース部3のポリス機構からのテストセルの帯域超過通知の有無によって該ポリス機構の機能の正常性を試験することができる。

次に、ATMスイッチ内のバスの伝送品質測定動作を説明する。

一般にATMスイッチ1内のバスは、スイッチ内の経由ルートによってその状態が異なる。従って、ある特定のバスの伝送品質を測定するためには、そのバスが使われている時に、そのバスそのものにテストセルを通して測定する。

測定開始時にCPR21から、試験部5に対しテストセルが第1の回線インタフェース部3へ伝送するためのVPI/VC I値及び送出セルの帯

域を指定する。また第1の回線インタフェース部3に対してCPR21から折り返すべきセルのVPI/VCI値を指示し、該回線インタフェース部3のVCC4に対して折り返されたテストセルに対して第2の回線インタフェース部7(第1図のC、参照)を宛先とするようVPI/VCI値の変換値を指示する。

更に、CPR21は第2の回線インタフェース部7に対し折り返しすべきセルのVPI/VCI値を指定すると共に、該第2の回線インタフェース部7のVCC8に対して折り返されたセルを試験部5に戻すようにVPI/VCI値の変換値を指示する。

この後、試験部5からテストセルを送出すると、ATMスイッチ1から第1の回線インタフェース部3に入力したテストセルは、ここで折り返されてATMスイッチ1に入力し、そこから第2の回線インタフェース部7に入力され、第2の回線インタフェース部7で更に折り返された後ATMスイッチ1を通して試験部5に戻る。

第1図中、

- 1: ATMスイッチ(ATM-SW)
- 2: 制御部
- 3, 7: 回線インタフェース部
- 30: 折り返し手段
- 4, 8: VPI/VCIコンバータ(VCC)
- 5: 試験部(TE)
- 50: テストセル発生手段
- 51: 評価手段
- 6: ポリス機構

特許出願人 富士通株式会社(外1名)
代理人弁理士 徳坂 和雄(外2名)

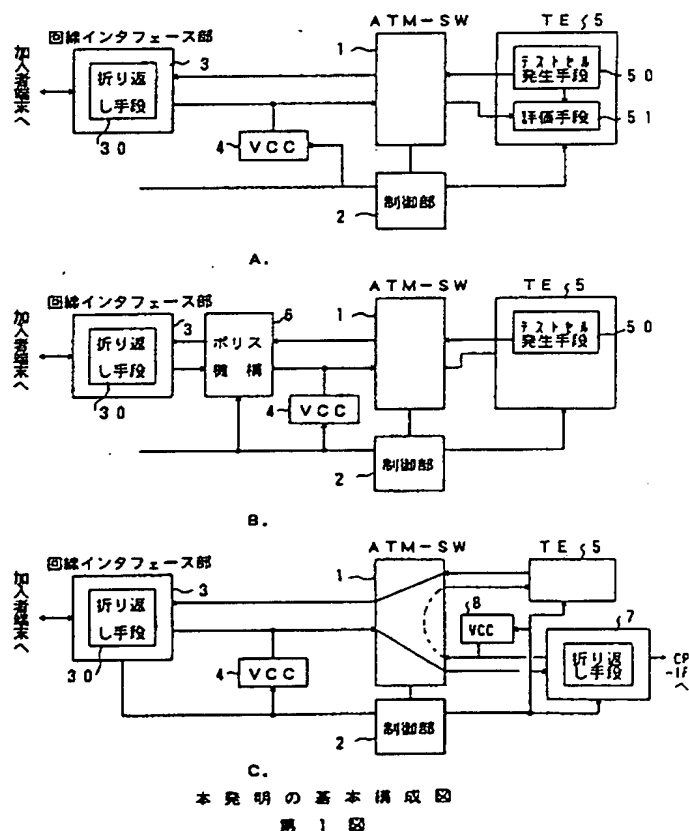
試験部5に戻ったテストセルの誤り率等を観測することにより第1の回線インタフェース部3と第2の回線インタフェース部7の間のバスの伝送品質を測定できる。

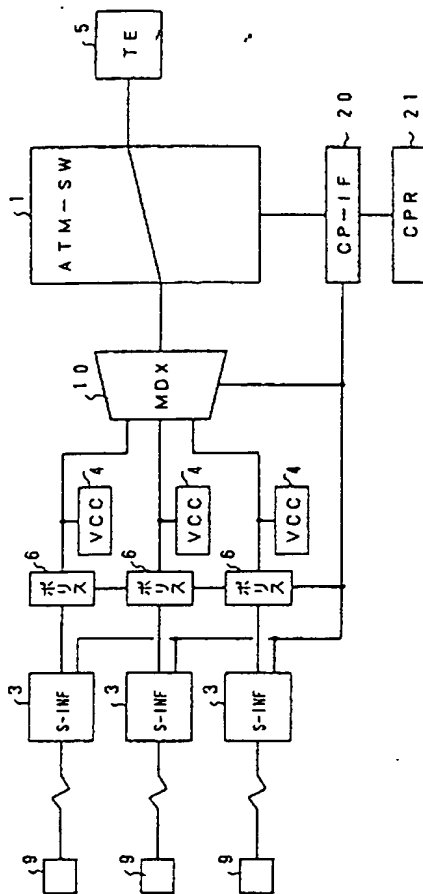
[発明の効果]

本発明によればATM交換機において回線インタフェース部に特定VPI/VCI値のセルを折り返し機能を設けて、回線インタフェース部の機能試験や、ポリス機構の試験、バスの伝送品質の測定等のきめこまかな試験を実現することができ、交換機の保守が容易となり信頼性の向上を実現できる。

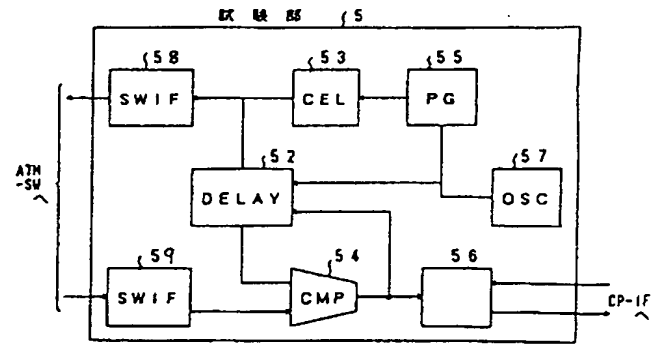
4. 図面の簡単な説明

第1図は本発明の基本構成図、第2図は実施例のシステム構成図、第3図は回線インタフェース部の構成図、第4図は折り返し回路の構成図、第5図は試験部の構成図、第6図はポリス機構の構成図である。



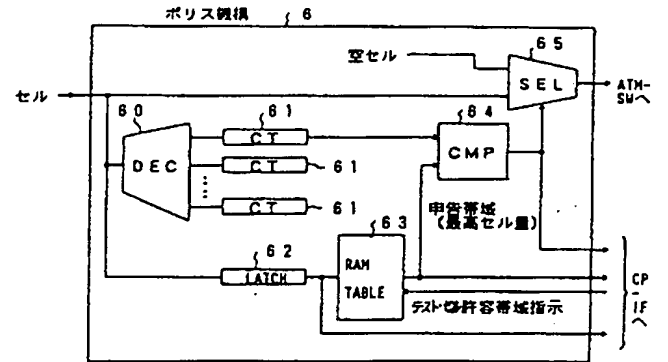


実施例のシステム構成図
第 2 図



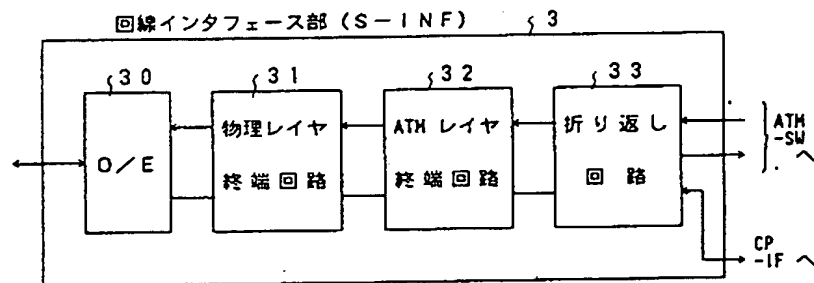
試験部の構成図

第 5 図



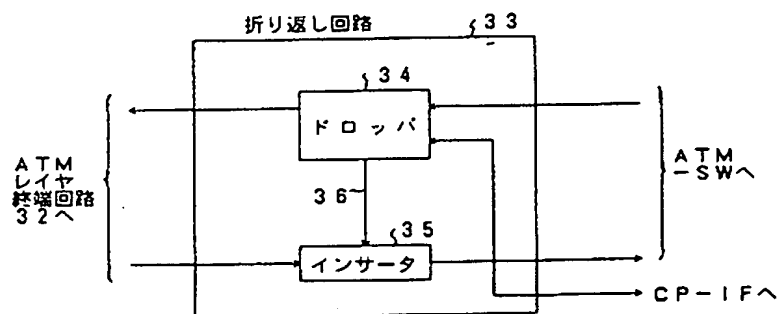
ポリシー機構の構成図

第 6 図



回線インタフェース部の構成図

第 3 図



折り返し回路の構成図

第 4 図

第 1 頁の続き

⑤Int. Cl. 9

H 04 L 12/26

識別記号

庁内整理番号

⑦発 明 者	星 野	正 志	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑦発 明 者	福 田	直 樹	福岡県福岡市博多区博多駅前1丁目4番4号 富士通九州 通信システム株式会社内